سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و پیاده سازی مدولاسیون و دمدولاسیون ISB در سیستم PLC دیجیتال با استفاده از تکنیکهای DSP

محل انتشار:
پانزدهمین کنفرانس بین المللی برق (سال: 1378)

تعداد صفحات اصل مقاله: 5

نویسندگان:
حمیدرضا حافظ عقیلی - *گروه مخابرات - پژوهشگاه نیرو - ایران*

امیرشهاب مجاهدی اصل - *گروه مخابرات - پژوهشگاه نیرو - ایران*

خلاصه مقاله:
سیستم PLC دیجیتال از مدولاسیون ISB برای ارسال و دریافت استفاده می کند . مدولاسیون ISB همان مدولاسیونSSB می باشد که در آن دو کانال مستقل در کنار یکدیگر گذاشته و ارسال می شوند . این مدولاسیون از نظر پهنای باند و انرژی اپتیمم می باشد . در این سیستم مدولاسیون فوق بصورت دیجیتالی و با استفاده از فیلترهای دقیق انجام می شود . در واقع عمل مدولاسیون توسط یک پردازنده DSP و فیلترهای نرم افزاری نوشته شده روی آن انجام می شود . پروسسور مورد استفاده یک پردازنده قوی بنام TMS 320 C50 می باشد . در مدولاتور نرخ نمونه برداری سیگنالهای ورودی16 KHzو سیگنال خروجی با نرخ KHz 1600 بازسازی می شود . در دمدولاتور نرخ نمونه برداری سیگنال ورودی KHz 1600 بازسازی می گردند . برای اینکه بتوان مخلوط کننده های طبقه آخر KHz 16 و سیگنالهای خروجی با نرخ را نیز بصورت نرم افزاری انجام داد از فیلترهای افزایش و کاهش نرخ نمونه برداری استفاده شده است . به این ترتیب تغییر فرکانس کاربر در PLC دیجیتالی براحتی و تنها با تغییر بخشی از نرم افزار سیستم انجام می شود . با توجه به مطلب بیان شده تولید سیستم فوق نسبت به مشاهده آنالوگ بسیار راحت تر خواهد بود . سیستم پیاده شده باتوجه به سبک برنامه های time Real نوشته شده، سخت افزار کوچکی را شامل می شود

کلمات کلیدی:
ISB ، افزایش نرخ، time Real ، مدولاسیون

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/36395